

PAT-NO: JP403274736A

DOCUMENT-IDENTIFIER: JP 03274736 A

TITLE: FIELD-EFFECT TRANSISTOR AND  
MANUFACTURE THEREOF

PUBN-DATE: December 5, 1991

INVENTOR-INFORMATION:

NAME

TOKUNAGA, KAZUNAO

ASSIGNEE-INFORMATION:

NAME

NEC KANSAI LTD

COUNTRY

N/A

APPL-NO: JP02074318

APPL-DATE: March 23, 1990

INT-CL (IPC): H01L021/338, H01L029/50 , H01L029/812

US-CL-CURRENT: 438/571, 438/FOR.423

ABSTRACT:

PURPOSE: To lower capacitance between a gate and a source and between the gate and a drain while stabilizing interface characteristics by forming structure in which a section near a gate electrode is formed in space having a dielectric constant of 1 and an insulating film is not formed directly onto the surface of a compound semiconductor such as GaAs.

CONSTITUTION: A gate electrode 2 and an SiO<sub>2</sub> film 3 are formed onto a semiconductor substrate 1, and the gate electrode 2 is brought to a state in

which the gate electrode 2 is projected from the SiO<sub>2</sub> film 3. A first insulating film 4 is formed, patterning is conducted by a photo-resist(PR) 5, and the SiN film 4 exposed through dry etching is removed. The SiO<sub>2</sub> film 3 is removed completely. An AuGe Ni film 6 is evaporated, the PR 5 is combined and lift-off treatment is executed, and alloying is conducted, thus forming an ohmic electrode 7 and a gate electrode 4. A second insulating film 8 is shaped by using a low-pressure CVD method in which reactant molecules having short mean free paths are projected vertically on the GaAs substrate 1. Consequently, a sealed space 9 is formed in a region under the SiN film 4. Lastly, a source electrode 10 and a drain electrode 11 are formed onto the ohmic electrode 7, thus completing an FET.

COPYRIGHT: (C)1991,JPO&Japio

TDB-ACC-NO: NN8707888

DISCLOSURE TITLE: Passivated Recess-Gate Structure

PUBLICATION-DATA: IBM Technical Disclosure Bulletin, July 1987, US

VOLUME NUMBER: 30

ISSUE NUMBER: 2

PAGE NUMBER: 888

PUBLICATION-DATE: July 1, 1987 (19870701)

CROSS REFERENCE: 0018-8689-30-2-888

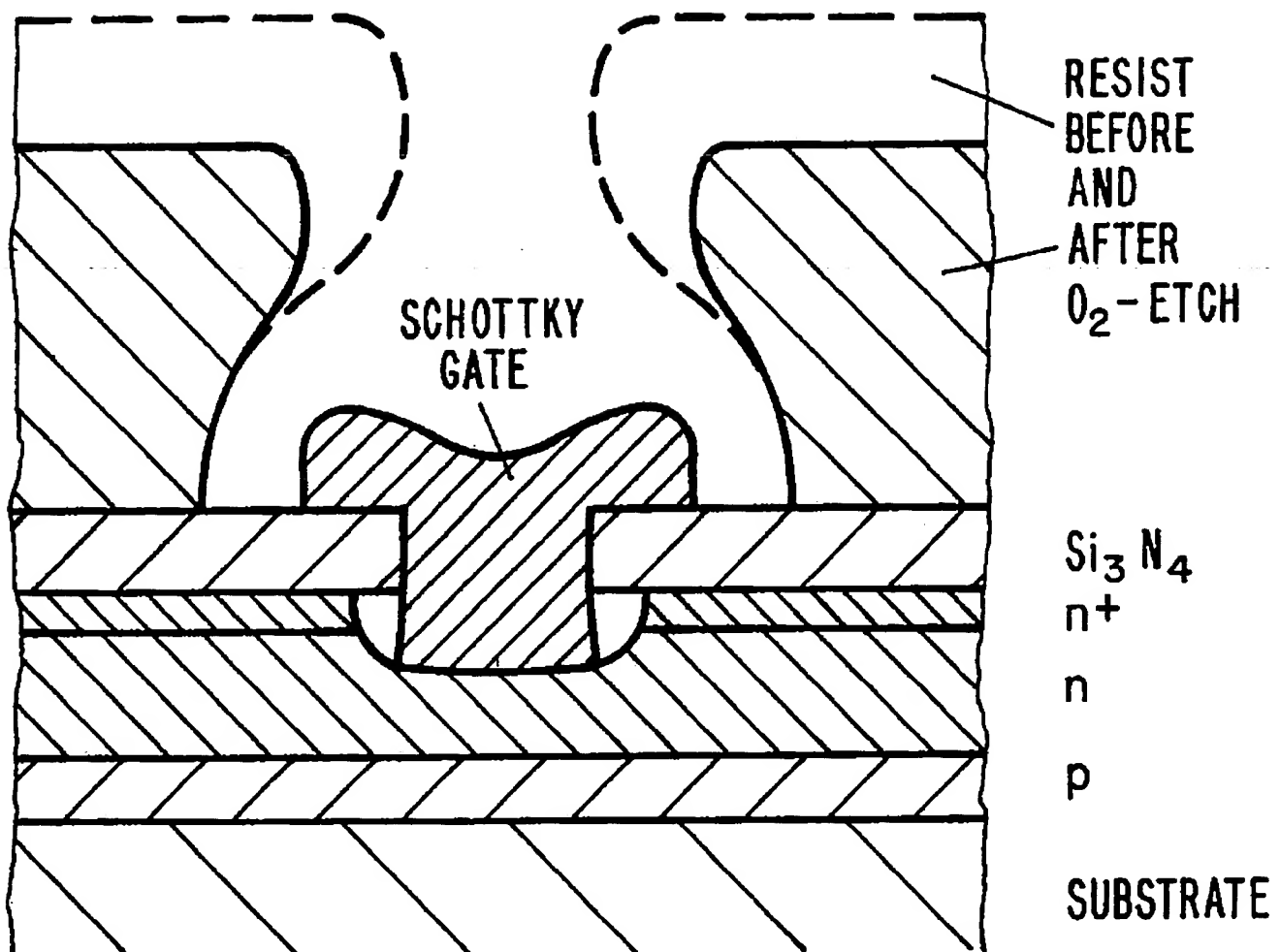
DISCLOSURE TEXT:

- In the proposed recess-gate structure, the semiconductor substrate, with an n-type channel and an n+ contact layer on top of it, is covered with a nitride layer serving as passivation and, after patterning, as mask for an isotropic recess etching process which results in well-controlled self-alignment distances between the gate and the recess also for sub-micron gate lengths. The proposed recess-gate structure is shown in the figure. The fabrication starts with a buried p-layer, an n-type channel layer, an n+ contact layer, grown, for example, by molecular beam epitaxy. The whole structure is then covered with a layer of Si<sub>3</sub>N<sub>4</sub>. Before the deposition of the gate, the recess is obtained in two steps: After applying and patterning a layer of photoresist, the Si<sub>3</sub>N<sub>4</sub> is first etched by reactive ion etching thereby transferring the resist pattern vertically into the nitride; then the actual recess in

the semiconductor (e.g., GaAs) is isotropically etched using the nitride as etching mask. The amount of under-etching determines the alignment distance between gate and recess. Before the evaporation of the gate metal, the resist lift-off profile is widened by etching in oxygen. This results in a self-aligned overlap of the gate metal to the recess which leads to a reduction in gate resistance and allows device optimization.

SECURITY: Use, copying and distribution of this data is subject to the restrictions in the Agreement For IBM TDB Database and Related Computer Databases. Unpublished - all rights reserved under the Copyright Laws of the United States. Contains confidential commercial information of IBM exempt from FOIA disclosure per 5 U.S.C. 552(b)(4) and protected under the Trade Secrets Act, 18 U.S.C. 1905.

COPYRIGHT STATEMENT: The text of this article is Copyrighted (c) IBM Corporation 1987. All rights reserved.



## ⑫ 公開特許公報(A) 平3-274736

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月5日

H 01 L 21/338  
29/50  
29/812

J 7738-4M

7735-4M H 01 L 29/80

B

審査請求 未請求 請求項の数 2 (全3頁)

⑮ 発明の名称 電界効果型トランジスタおよびその製造方法

⑯ 特 願 平2-74318

⑰ 出 願 平2(1990)3月23日

⑱ 発 明 者 徳 永 一 直 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社  
内

⑲ 出 願 人 関西日本電気株式会社 滋賀県大津市晴嵐2丁目9番1号

## 明 細 書

## 発明の詳細な説明

## 産業上の利用分野

本発明は、マイクロ波帯以上の周波数で動作する電界効果型トランジスタに関し、特にゲート電極近傍の寄生容量低減、半導体表面の安定化に好適する構造およびその製法に関する。

## 従来の技術

従来、マイクロ波帯以上の周波数で動作する電界効果トランジスタ(以下FETと記す)は例えば第2図に示すように、GaAsからなる化合物半導体基板1上に、ショットキー接合のゲート電極2を形成し、さらにSiO<sub>2</sub>膜あるいはSiN膜からなる絶縁膜12を保護膜として、ゲート電極2を被覆するように化合物半導体基板3及びオーミック電極7上に直接成長させて、形成したゲート電極構造を有している。

さらにオーミック電極7上には各々ソース電極10、ドレイン電極11を形成してFETが完成する。

## 発明が解決しようとする課題

## 発明の名称

電界効果型トランジスタおよびその製造方法

## 特許請求の範囲

1. ゲート電極がショットキー接合となる電界効果型トランジスタにおいて、

ゲート電極近傍の絶縁膜がゲート電極端を含む領域で半導体基板と接触せず、結果としてゲート電極近傍で密閉空間を有することを特徴とする電界効果型トランジスタ。

2. 半導体基板上に形成したゲート電極上部にオーバーハング状に第1の絶縁膜を加工し、該第1の絶縁膜に対して平均自由工程の短い反応分子が垂直に入射するような気相化学成長法で第2の絶縁膜を成長することにより、ゲート電極近傍に密閉空間を形成することを特徴とする電界効果型トランジスタの製造方法。

上記のように従来のFETのゲート電極の周りは、化合物半導体上を含め、誘電率が1を超える絶縁膜で被われているため、

①ゲートソース間、あるいはゲートドレイン間の容量が大きくなり、マイクロ波特性を劣化させる。

②化合物半導体基板と絶縁膜の界面は、界面単位等により不安定な界面特性となるため、保護膜としては十分でない。

等の問題を有していた。

#### 課題を解決するための手段

本発明によるFETは、ゲート電極の近傍を誘電率が1の空間とし、かつGaAsのような化合物半導体表面に絶縁膜が直接形成されない構造を有している。

また、形成方法としては、ゲート電極上にオーバハング状に第1の絶縁膜を形成し、一方向を開いた状態で基板に垂直方向から平均自由工程の短い反応分子が入射する気相化学成長法で第2の絶縁膜を成長することによりゲート電極近傍に密

閉空間を形成することを特徴とする。

#### 作用

上記の構造によると、

①ゲート電極近傍の誘電率が1であるため、ゲートソース間、ゲートドレイン間の容量を低減できる。

②GaAsのような化合物半導体の界面特性が安定する。

以上の作用がある。

また、形成方法については、密閉空間内への成長を抑えるため、平均自由工程の短い反応分子を基板に垂直に入射させることで、これを達成している。

#### 実施例

以下、第1図により本発明の一実施例の構造と製造方法を説明する。なお、第1図はFETの要部の断面構造を示している。

第1図(a)に示すように半導体基板(例えばGaAs)1上にゲート電極(例えばWSi)2、およびSiO<sub>2</sub>膜3を形成している。ここで、いわゆる平

坦化頭出し技法により、ゲート電極2上のSiO<sub>2</sub>膜は除去されており、SiO<sub>2</sub>膜3からゲート電極2が突き出た状態になっている。

次に、第1図(b)に示すように第1の絶縁膜(例えばSiN膜)4を形成後、第1図(c)に示すようにホトレジスト(以下PR)5によりパターンニングを行い、第1図(d)に示すようにドライエッチにより、パターンニングにより露出したSiN膜4を除去する。次に、第1図(e)に示すようにバッファードフッ酸を用いてSiO<sub>2</sub>膜3を完全に除去する。ゲート電極2、SiN膜4はバッファードフッ酸に対してそのエッチレートが十分小さいので除去されることはない。次に第1図(f)に示すようにAuGe-Ni膜6を蒸着後、PR5を併用してリフトオフ処理し、アロイ化して、第1図(g)に示すようにオーミック電極7及びゲート電極4が形成される。次に第1図(h)に示すように、平均自由工程の短い反応分子をGaAs基板1に対して垂直に入射させる低圧CVD法を用いて第2の絶縁膜(例えばSiO<sub>2</sub>膜)8を形成する。これによ

りSiN膜4の下領域にはCVDの反応分子が入り込まないので結果として密閉され、密閉空間9が形成される。最後に第1図(i)に示すようにオーミック電極7上上にソース電極10、ドレイン電極11を形成してFETが完成する。

#### 発明の効果

上述したように本発明により、ゲートソース間、ゲートドレイン間の容量を低減でき、かつ界面特性の安定を図ることにより、高性能なマイクロ波特性が期待できる。

#### 図面の簡単な説明

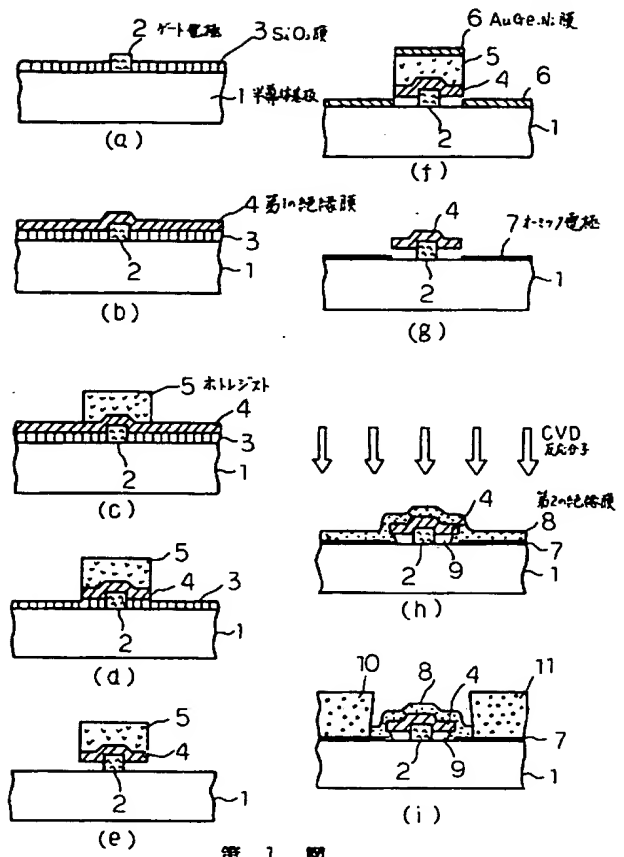
第1図は本発明の一実施例を示すFETの要部断面図、第2図は従来例のFETの要部断面図である。

- 1…半導体基板(例えばGaAs)、
- 2…ゲート電極(例えばWSi)、
- 3…SiO<sub>2</sub>膜、
- 4…第1の絶縁膜(例えばSiN膜)、
- 5…ホトレジスト、

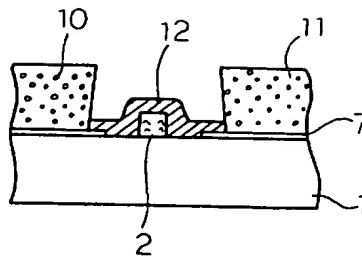
- 6...AuGe-Ni 膜、  
 7...オーミック電極、  
 8...第2の絶縁膜（例えばSiO<sub>2</sub>膜）、  
 9...密閉空間。

特許出願人

関西日本電気株式会社



第 1 図



第 2 図